

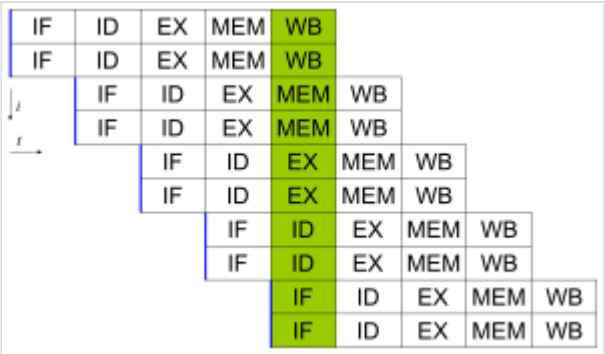
Суперскалярність

Матеріал з Вікіпедії — вільної енциклопедії.

Суперскалярність — архітектура обчислювального ядра, що використовує кілька декодерів команд, які можуть навантажувати роботою декілька виконавчих блоків. Планування виконання потоку команд є динамічним і здійснюється самим обчислювальним ядром.

Якщо в процесі роботи команди, що обробляються конвеєром, не суперечать одна одній, і одна не залежить від результату іншої, то такий пристрій може здійснити паралельне виконання команд. У суперскалярних системах рішення про запуск інструкції на виконання приймає сам обчислювальний модуль, що вимагає багато ресурсів. У пізніших системах, таких як Ельбрус і Itanium, використовується статипланування, тобто паралельні інструкції об'єднуються компілятором в довгу команду, в якій наперед відомо, що всі інструкції паралельні (архітектура VLIW).

Суперскалярна архітектура ЦП втілює форму паралелізму відому як паралелізм рівня інструкцій на одному процесорі.



Простий суперскалярний конвеєр (IF = доставка інструкції, ID = декодування інструкції, EX = виконання, MEM = доступ до пам'яті, WB = Запис регістра назад, i = номер інструкції, t = цикл [тобто час])

| |
|---|
| Зміст |
| Історія |
| Реалізації |
| Прискорення обчислень |
| Методики збільшення продуктивності |
| Література |
| Див. також |

Історія

Існує суперечка щодо того, яку ЕОМ можна вважати першою з використанням суперскалярної архітектури. У західній літературі найчастіше вказується CDC 6600 (1964) розроблена Сеймуром Креєм. У СРСР першою суперскалярною ЕОМ вважався «Ельбрус», розробка якого велася в 1973—1979 роках в ІТМиВТ. Основною структурною відзнакою Ельбруса від CDC 6600 (крім, природно, абсолютно іншої видимої програмісту системи команд — стекового типу) було те, що всі модулі виконання в ньому були конвеєризовані, як у сучасних суперскалярних мікропроцесорах. На підставі цього факту Б. А. Бабаян заявляв про пріоритет радянських ЕОМ у питанні побудови суперскалярних обчислювальних машин, однак його думка позбавлена

достатніх підстав, бо вже наступна за CDC 6600 машина фірми Control Data, CDC 7600 1969 року мала конвеєризацію виконавчих пристроїв. Крім того, дещо раніше (1967) фірмою IBM була випущена машина IBM 360/91, що використовує позачергове виконання, перейменування регістрів і конвеєризацію виконавчих пристроїв. Першим же комерційно широкодоступним суперскалярним мікропроцесором став Intel i960, що вийшов в 1988 році. У 1990-х роках основним виробником суперскалярних мікропроцесорів стала фірма Intel.

Реалізації

Процесори, що підтримують суперскалярність:

| Архітектура | Перша реалізація | Рік | Розробник | Примітка |
|--------------------------------|------------------|-------------|---|---|
| <u>CDC 6600</u> | <u>CDC 6600</u> | 1964 | Control Data Corporation | Конвеєр виконання команд, кілька виконуючих пристроїв (але не конвеєризованих) |
| <u>IBM System/360 Model 91</u> | <u>IBM</u> | <u>1967</u> | Повна конвеєризація з динамічним перейменуванням регістрів та динамічним, під час виконання, визначенням порядку команд | |
| CDC 7600 | CDC 7600 | 1969 | Control Data Corporation | Повна конвеєризація — і виконання команд, і самих виконуючих пристроїв |
| <u>Ельбрус</u> | Ельбрус-1 | 1979 | <u>ИТМиВТ</u> | Повна конвеєризація з динамічним перейменуванням регістрів та динамічним, під час виконання, визначенням порядку команд |
| <u>Intel i960</u> | I960 | 1988 | <u>Intel</u> | |
| <u>SPARC</u> | SuperSPARC | 1992 | <u>Sun Microsystems</u> | |
| <u>x86</u> | <u>Pentium</u> | 1993 | <u>Intel</u> | |
| <u>MIPS</u> | R8000 | 1994 | MIPS Technologies | |
| <u>ARM</u> | Cortex A8 | 2005 | ARM | |

Прискорення обчислень

У суперскалярних обчислювальних машинах використовується ряд методів для прискорення обчислень, характерних насамперед для них, однак такі методи можуть використовуватися і в інших типах архітектур:

- Позачергове виконання (англ. Out-of-order execution) — метод, застосовуваний при розробці обчислювальних пристроїв, з метою підвищення продуктивності. Його особливість полягає у тому, що інструкції надходять у виконавчі модулі не в порядку їх слідування, як було в концепції виконання інструкцій по порядку (англ. In-Order execution), а по готовності до виконання. Серед широко відомих машин вперше цей

метод була в істотній мірі реалізований в машинах CDC6600 фірми Control Data і IBM 360/91 фірми IBM.

- Перейменування реєстрів (англ. *Register Renaming*) — метод ослаблення взаємозалежностей інструкцій, застосовуваний в процесорах, що здійснюють їх позачергове виконання (англ. *Out-of-order execution*). У тому випадку, якщо відповідно для двох або більше інструкцій необхідно здійснити запис даних в один реєстр, їх коректне позачергове виконання стає неможливим (новіша інструкція не може бути оброблена до завершення більш ранньої) навіть у тому випадку, якщо при цьому немає залежності за даними. Такі взаємозалежності часто називають хибними (у разі істинної залежності існує залежність і за даними). Так як кількість архітектурних реєстрів зазвичай обмежена (наприклад, стандартно архітектура x86 передбачає тільки вісім реєстрів загального призначення), ймовірність виникнення помилкових взаємозалежностей досить велика, що може призвести до зниження продуктивності процесора. Перейменування реєстрів являє собою перетворення програмних посилань на архітектурні реєстри в посилання на фізичні реєстри і дозволяє послабити вплив помилкових взаємозалежностей за рахунок використання великої кількості фізичних реєстрів замість обмеженої кількості архітектурних (так, наприклад, x86-сумісні процесори архітектури Intel P6 містять 40 фізичних реєстрів). При цьому процесор відстежує, стан яких фізичних реєстрів відповідає стану архітектурних, а видача результатів здійснюється в порядку, який передбачений програмою.
- Об'єднання кількох команд в одну — метод розпаралелювання обчислень на рівні компіляції, що дозволяє одночасно виконувати декілька інструкцій на обладнанні, яке дозволяє паралельну незалежну роботу.

Методики збільшення продуктивності

- Модуль передбачення умовних переходів (англ. *Branch Prediction Unit*) — пристрій, що входить до складу мікропроцесорів, що мають конвеєрну архітектуру, визначальний напрямок розгалужень (передбачають, чи буде виконаний умовний перехід) в виконуваний програмі. Передбачення розгалужень дозволяє здійснювати попередню вибірку інструкцій і даних з пам'яті, а також виконувати інструкції, що розташовані після умовного переходу, до того, як він буде виконаний. Передбачення переходів є невід'ємною частиною всіх сучасних суперскалярних мікропроцесорів, тому що в більшості випадків (точність передбачення переходів в сучасних процесорах перевищує 90 %) дозволяє оптимально використовувати обчислювальні ресурси процесора.
- Кеш — пристрій, що знаходиться між процесором та оперативною пам'яттю і являє собою швидкодійну програмно недоступну пам'ять, яка забезпечує тимчасове збереження даних з можливістю їх читання та запису без звернення до менш швидкодійної оперативної пам'яті.

- Конвеєр команд — пристрій, що одночасно декодує декілька команд та узгоджує їх можливе одночасне виконання, застосовується в сучасних суперскалярних процесорах.

Література

- Э.Таненбаум Архитектура компьютера = Structured Computer Organization. — 5-е изд.. — СПб.: Питер, 2007. — С. 81-83. — 848 с. — (Классика Computer Science). — ISBN 5-469-01274-3

Див. також

- Структура суперскалярного процесора

| Технології процесорів | |
|----------------------------|--|
| Архітектура | Гарвардська (Модифікована Гарвардська) • фон Неймана • Потоки даних • TTA |
| Архітектура системи команд | ASIP • CISC • EDGE • EPIC • MISC • URISC • RISC • VLIW • NISC • ZISC • TRIPS • Порівняння |
| Розрядність | 1 біт • 4 біти • 8 біт • 12 біт • 16 біт • 24 біти • 32 біти • 36 біт • 40 біт • 48 біт • 64 біти • 128 біт • 256 біт • 512 біт |
| Виконання інструкцій | Конвеєр команд (Bubble • Operand forwarding) • Позачергове виконання (Перейменування реєстрів) • Спекулятивне виконання (Модуль передбачення переходів • Memory dependence prediction) • Конфлікти в конвеєрі |
| Паралельні обчислення | Bit (Bit-serial) • Команди (Скалярність • Суперскалярність) • Дані (Вектор) • Пам'ять • Завдання (Нитка • Процес) |
| Багатонитевість | Часова багатопотоковість (Процесорний час) • Багатонитевість (Hyper-threading) • Витискальна багатозадачність • Кооперативна багатозадачність |
| Таксономія Флінна | SISD • SIMD • MISD • MIMD (SPMD) • Способи адресації пам'яті |
| Типи | Процесор цифрових сигналів (DSP) • GPGPU • Мікроконтролер • Фізичний процесор • Система на кристалі (SoC) • Секційний процесор • Barrel processor • Cellular |
| Складові | Блок генерації адреси (AGU) • Арифметико-логічний пристрій (ALU) • Barrel shifter • Функціональний блок (EU) • Математичний співпроцесор (FPU) • Back-side bus • (Мультиплексор) • Регістри • Модуль керування пам'яттю (MMU) • Буфер асоціативної трансляції (TLB) • Кеш • Регістровий файл • Мікрокод • Пристрій керування • Тактова частота |

| | |
|------------------------------|---|
| Управління живленням | APM · ACPI · Динамічна зміна частоти · Динамічна зміна напруги · Clock gating |
| Паралельні обчислення | |
| Загальне | Хмарні обчислення · Суперкомп'ютер · Кластер · Розподілені обчислення · Грід · Модель паралельних обчислень · Типи паралельних обчислень |
| Рівні паралелізму | Bit · Instruction · Data · Task |
| Нитки | Super-threading · Hyper-threading |
| Теорія | Закон Амдала · Закон Густавсона — Барсіса · Цінова ефективність · Метрика Карпа-Флатта · Паралельне сповільнення · Прискорення |
| Елементи | Процес · Потік · Волокно · Паралельна машина з довільним доступом · Планувальник завдань |
| Координація | Багатозадачність · Багатопотоковість · Когеренція пам'яті · Когерентність кешу · Семафор · М'ютекс · Критична секція · Ф'ютекс · Бар'єр · Синхронізація · Контрольні точки · Обмін повідомленнями |
| Програмування | Багатопотокове оброблення даних · Моделі (Неявний паралелізм · Явний паралелізм · Конкурентність) · Таксономія Флінна (SISD · SIMD · MISD · MIMD) · Неблокуючий алгоритм |
| Апаратне забезпечення | Багатопроцесорність (Симетрична · Асиметрична) · Пам'ять (NUMA · COMA · distributed · shared · distributed shared) · SMT Масово-паралельна архітектура · Суперскалярність · Векторний процесор · Суперкомп'ютер · Beowulf |
| API | POSIX Threads · OpenMP · MPI · OpenACC · UPC · Intel Threading Building Blocks · Boost.Thread · Global Arrays · Charm++ · Cilk |
| Проблеми | Приголомшлива паралельність · Великий Виклик · Програмне блокування · Масштабовність · Стан гонитви · Взаємне блокування · Детермінований алгоритм |

Отримано з <https://uk.wikipedia.org/w/index.php?title=Суперскалярність&oldid=39472004>

Цю сторінку востаннє відредаговано о 09:24, 13 травня 2023.

Текст доступний на умовах ліцензії Creative Commons Attribution-ShareAlike; також можуть діяти додаткові умови. Детальніше див. Умови використання.